

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-251841

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl. <sup>5</sup> H 01 J 9/44 G 09 G 3/28	識別記号	府内整理番号	F 1 H 01 J 9/44 G 09 G 3/28	技術表示箇所 A N
--	------	--------	-----------------------------------	------------------

審査請求 未請求 請求項の数7 O.L. (全10頁)

(21)出願番号	特願平8-59283	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成8年(1996)3月15日	(72)発明者	金澤 義一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	中原 祐之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 石田 敏 (外3名)

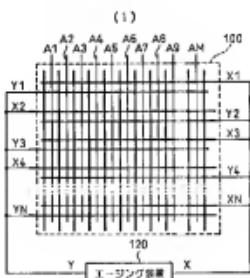
## (54)【発明の名称】 プラズマディスプレイパネルの製造方法及びプラズマディスプレイ装置

## (57)【要約】

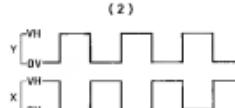
【課題】 放電が逆スリットでは生じないエージング方法及びアドレス電極とY電極間の放電開始電圧を低下させるエージング方法の実現を目的とする。

【解決手段】 第1の基板21に設けられ表示ライン毎に平行に配置された複数の第1の電極11と第2の電極12と、第1の基板21又は対向する第2の基板28に設けられた複数の第1の電極と第2の電極に直角な互いに平行に配置された複数の第3の電極13とを備え、第1の電極と第2の電極の組と第3の電極とで表示セルが規定されるプラズマディスプレイパネルの製造方法であって、プラズマディスプレイパネルの組み立て後に表示セルを規定する各組の第1の電極11と第2の電極12間にパルス信号を印加するエージングを行うプラズマディスプレイパネルの製造方法において、エージング時に、隣接表示ラインの表示セルを構成する隣接する第1の電極11と第2の電極12にパルス信号の同じ電位の信号を印加する。

第1実施例のエージング方法



(1)



## 【特許請求の範囲】

【請求項1】 第1の基板(21)に設けられ、表示ライン毎に平行に配置された複数の第1の電極(11)と第2の電極(12)と、

前記第1の基板(21)又は前記第1の基板(21)に対向する第2の基板(28)に設けられ、前記複数の第1の電極(11)と第2の電極(12)が延びる方向に直角な方向に延び、互いに平行に配置された複数の第3の電極(13)とを備え、前記第1の電極(11)と第2の電極(12)の組と第3の電極(13)とで表示セルが規定されるプラズマディスプレイパネルの製造方法であって、

前記プラズマディスプレイパネルの組み立て後に前記表示セルを規定する各組の第1の電極(11)と第2の電極(12)間にパルス信号を印加するエーリングを行な際に、隣接表示ラインの表示セルを構成する隣接する第1の電極(11)と第2の電極(12)に前記パルス信号の同じ電位の信号を印加することを特徴とするプラズマディスプレイパネルの製造方法。

【請求項2】 請求項1に記載のアズマディスプレイパネルの製造方法であって、

隣接表示ラインの表示セルを構成する隣接する第1の電極(11)と第2の電極(12)を接続してエーリング組とし、更に交互に配列された該エーリング組を2つのグループにグルーピ化し、該2つのグループ間に前記パルス信号を印加するプラズマディスプレイパネルの製造方法。

【請求項3】 請求項2に記載のアズマディスプレイパネルの製造方法であって、

各グループに属する前記第1の電極(11)と第2の電極(12)を共通に接続する第1の共通接続パターンと第2の共通接続パターンを設けたアズマディスプレイパネルを製造し、前記エーリング終了後前記第1及び第2の共通接続パターンを取り除くアズマディスプレイパネルの製造方法。

【請求項4】 第1の基板(21)に設けられ、表示ライン毎に平行に配置された複数の第1の電極(11)と第2の電極(12)と、

前記第1の基板(21)又は前記第1の基板(21)に対向する第2の基板(28)に設けられ、前記複数の第1の電極(11)と第2の電極(12)が延びる方向に直角な方向に延び、互いに平行に配置された複数の第3の電極(13)とを備え、前記第1の電極(11)と第2の電極(12)の組と第3の電極(13)とで表示セルが規定されるアズマディスプレイパネルの製造方法であって、前記アズマディスプレイパネルの組み立て後に前記表示セルを規定する各組の第1の電極(11)と第2の電極(12)間にパルス信号を印加するエーリングを行なうアズマディスプレイパネルの製造方法において、

前記エーリング時に、前記複数の第3の電極(13)には、前記第1の電極(11)に印加するパルス信号と同相のパルス信号を印加することを特徴とするアズマディスプレイパネルの製造方法。

【請求項5】 請求項4に記載のアズマディスプレイパネルの製造方法であって、

前記エーリング時に、前記複数の第3の電極(13)に印加される前記パルス信号の電圧は、前記第1の電極(11)又は前記第2の電極(12)に印加するパルス信号の電圧と同じであるアズマディスプレイパネルの製造方法。

【請求項6】 請求項4に記載のアズマディスプレイパネルの製造方法であって、

前記エーリング時に、前記複数の第3の電極(13)に印加される前記パルス信号の電圧は、前記第1の電極(11)又は前記第2の電極(12)に印加するパルス信号の電圧より小さいアズマディスプレイパネルの製造方法。

【請求項7】 請求項6に記載のアズマディスプレイパネルの製造方法であって、

前記エーリング時に、前記第3の電極(13)に印加される前記パルス信号の低レベルは、前記第1の電極(11)に印加するパルス信号の低レベルより高く、高レベルは前記第1の電極(11)に印加するパルス信号の高レベルより低く、前記第3の電極(13)と前記第2の電極(12)間の電圧は、前記第1の電極(11)と前記第2の電極(12)間の電圧より常に小さく、前記第3の電極(13)と前記第1の電極(11)間の電圧より大きいアズマディスプレイパネルの製造方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、メモリ機能を有する表示素子であるセルの集合によって構成された表示パネルを製造する技術に係わり、特にAC (交流)型アズマディスプレイパネル (Plasma Display Panel: PDP) の製造方法において第1の基板と第2の基板を組み合わせ、放電用ガスを封入した後のパネル製造の最終段階において、放電セルの安定化、誘電体表面 (MgO面) の活性化等のために、パネル全面にわたり長時間所定の電圧パルスを印加して放電を連続的に行なうエーリングの手法及びそのようにして製造されたパネルを使用したアズマディスプレイ装置に関する。

## 【0002】

【従来の技術】 上記のAC型PDPは、2本の維持電極に、交互に電圧波形を印加することで放電を維持し、発光表示を行うものである。一度の放電は、パルス印加直後、 $1\mu s$ から数 $\mu s$ で終了する。放電によって発生した正電荷であるイオンは、負の電圧が印加されている電極上の絶縁層の表面に蓄積され、同様に負電荷である電子は、正の電圧が印加されている電極上の絶縁層の表面

に蓄積される。

【0003】従って、初めて高い電圧（書き込み電圧）のパルス（書き込みパルス）で放電させ蓄電荷を生成した後、極性の異なる前回よりも低い電圧（維持電圧又は維持放電電圧）のパルス（維持パルス又は維持放電パルス）を印加すると、前に蓄積された蓄電荷が重複され、放電空間に対する電圧は大きなものとなり、放電のしきい値を越えて放電を開始する。つまり、一度書き込み放電を行って蓄電荷を生成したセルは、その後維持パルスを交互に逆極性で印加することで、放電を持続するという特徴がある。これをメモリ効果、またはメモリ機能と呼んでいる。一般に、AC型PDPは、このメモリ効果を利用して表示を行うものである。

【0004】エージングは、組み立て後の放電開始電圧を下げ、メモリ効果が得られる電圧マージンを拡大する目的で行われる。エージングの目的及びその手法を明確にするために、プラズマディスプレイパネルの構造及びその駆動方法を説明する。カラー表示を行う3電極・面放電AC型のPDPとして、図5にその概略平面図を示すようなものが知られている。また、図6は、図5のパネルの一つの放電セルにおける概略断面図（垂直方向）であり、図7は同様に水平方向の概略断面図である。なお、以下に示す図においては、同一の機能部分には同一の参照番号を付与して表すこととする。

【0005】パネルは、2枚のガラス基板21、29によって構成されている。第1の基板21には、平行する維持電極である第1電極（X電極）12及び第2電極（Y電極）13が設けられており、これらの電極は透明電極22a、22bとバス電極23a、23bによって構成されている。透明電極は電極からの反射光を透過させる役割があるため、ITO（酸化インジウムを主成分とする透明導体膜）等によって形成される。また、バス電極は、電気抵抗による電圧低下を防ぐため、低抵抗で形成する必要があり、Cr（クロム）やCu（銅）によって形成される。更に、それらを、誘電体層（ガラス）24で被覆し、放電面には保護膜としてMgO（酸化マグネシウム）膜25を形成する。また、第1のガラス基板21に向かい合う第2の基板29には、第3の電極（アドレス電極）13と、維持電極と直角する形で形成する。アドレス電極は透明電極29で覆い、誘電体層29の上のアドレス電極の間に相当する部分に、陣層1-4を形成し、その陣層の間には、誘電体層29を覆う形で赤・緑・青の発光特性を有する発光体27を形成する。従って、発光体27はアドレス電極13に対応して配置されることになる。陣層1-4の端根と、MgO面25が密着する形で2枚のガラス基板が組み立てられている。発光体27とMgO面25の間の空間が放電空間26である。

【0006】セルの選択を行なうアドレス放電は、アドレス電極とY電極を選択することで実行される。以下、ア

ドレス放電を起こすアドレス電極とY電極をまとめてアドレス電極と称する。また、維持放電は、X電極とY電極間で行われる。以下、維持放電を起こすY電極とX電極をまとめて維持電極と称する。上記のような構造のパネルでは、維持放電が行われる電極間のギャップが狭い方（放電スリットと称する。）で維持放電が行われ、広い方のギャップ（逆スリットと称する。）では、電界強度が小さいために維持放電が起きない。

【0007】更に、全面の維持電極の配置は、第1表示ラインのX電極、第1表示ラインのY電極、第2表示ラインのX電極、第2表示ラインのY電極、第3表示ラインのX電極、第3表示ラインのY電極、といった具合になる。また、図8は、図5から図7に示したPDPを駆動するための間隔回路を示した構造的ブロック図である。アドレス電極1-3-1、1-3-2、…は1本毎にアドレスドライバ105に接続され、そのアドレスドライバによってアドレス放電時のアドレスパルスが印加される。また、Y電極1-1-1、1-1-2、…はYスキャンドライバ102に接続される。Yスキャンドライバ102はY共通ドライバ103に接続されており、アドレス放電時のパルスはYスキャンドライバ102から発生し、維持パルス等はY共通ドライバ103で発生し、Yスキャンドライバ102を経由して、Y電極に印加される。X電極1-2はパネルの全表示ラインにわたる共通に接続され取り出される。X共通ドライバ104は、書き込みパルス、維持パルス等を発生する。これらのドライバ回路は、制御回路106によって制御され、制御回路106は、装置の外部より入力される同期信号や表示データ信号によって制御される。

【0008】制御回路106は、表示データ制御部107とパネル駆動制御部109を備え、更に表示データ制御部107にはフレームメモリ108が設けられており、パネル駆動制御部109にはスキャンドライバ/制御部1-10と共通ドライバ/制御部1-11とが設けられている。パネル駆動制御部109には、他にタイミング発生部やアドレスドライバ/制御部等が設けられているが、発明に直結関係ないので、ここでは省略してある。

【0009】図9は、図5から図7に示すPDPを図8に示した回路によって駆動する従来の方法を示す波形図であり、いわゆる従来の「アドレス／維持放電期間分離型・書き込みアドレス方式」における1サブフィールド期間を示している。詳細な動作説明は特願平1-31093-7号に示されている。この例では、1サブフィールドは、リセット期間とアドレス期間間に維持放電期間に分割される。リセット期間においては、全面書き込み放電及び箇所消去放電が実行され、パネル内の全セルの状態が、蓄電荷のない均一な状態になる。このリセット期間は、前のサブフィールドの点灯状態にかかわらずすべてのセルを同じ状態にする作用があり、次のアドレス（書き込み）放電を安定に行なうことができるようする

ために行われる。

【0010】次に、アドレス期間において、表示データに応じたセルのオン／オフを行うために、順順次でアドレス放電が行われる。まず、Y電極に-YVレベル（約マイナス15.0V）のスキャンバルスを印加すると共に、アドレス電極の内、維持放電を起こすセル、すなわち、点灯させるセルに対応するアドレス電極に電圧Va（約5.0V）のアドレスバルスが選択的に印加され、点灯させるセルのアドレス電極とY電極の間に放電が起る。次に、これをブライミング（種火）としてX電極（電圧Vx=5.0V）とY電極間に放電が直ぐに移行する。これにより、選択ラインの選択セルのX電極とY電極上のMgO面に維持放電が可能な量の壁電荷が蓄積する。

【0011】以下、順次他の表示ラインについても同様の動作が行われ、全表示ラインにおいて、新たに表示データの書き込みが行われる。その後、維持放電期間になると、Y電極とX電極に交互に電圧がVs（約18.0V）である維持バルスが印加され維持放電が行われ、1サブフレームの画像表示が行われる。

【0012】次に、図5から図7に示すようなアラズマディスプレイパネルを製造する際のエージング工程について説明する。エージングは放電面（MgO面）を活性化し、放電開始電圧を下げてモメリ電圧マージンを最大化し、安定かつ全面にわたり均一に放電させる作用がある。従来のエージング方法及びその効用に関する詳細は、特開昭56-38082号公報、特開平2-28432号公報、特開平4-245294号公報、特開平6-17065号等に記載されている。

【0013】従来のエージングは、図10の（1）に示すように、パネル1000のY電極Y1, Y2, ..., YNと、X電極X1, X2, ..., XNをエージング装置120に接続し、表示を実行する際に印加される維持バルスと同様な形態の電圧バルスを印加している。従来技術によるエージングにおいては、すべてのX電極を共通に接続し、すべてのY電極を共通に接続し、すべてのX電極とすべてのY電極間に図10の（2）に示すように、位相の異なるバルスが印加され放電が行われる。図10の（2）と図9を比較して明らかのように、従来技術によるエージングにおいてX電極とY電極に印加されるバルスは、表示装置として使用する際の維持放電時にX電極とY電極に印加されるバルスに類似している。但し、維持放電時のバルスの電圧が18.0Vであるのに対して、エージング開始時点でのX電極とY電極に印加されるバルスの電圧は約3.00Vと、放電開始電圧より高くなっている。また、エージング時には第3の電極であるアドレス電極13には、信号が印加されず、フローディング状態にあるのが一般的である。

【0014】

【発明が解決しようとする課題】図5から図7に示した

ような構造を有するPDPにおいては、障壁14が縦方向のストライプ上に形成されているため、空間的なセルの結合は、横方向には障壁14という物理的な構造物によって仕切られている。一方の、縦方向の空間には障壁が存在しないため物理的な構造物で仕切られておらず、單にX電極とY電極のギャップが狭い方では放電が発生し、広い方では放電が生じないといった形でセルが仕切られる。そのため、このようなPDPにおいては、逆スリット側のギャップ（電極間の距離）を放電スリット側のギャップより大きくし、放電開始電圧に違いを持たせている。

【0015】図9に示した駆動方法によると、アドレス放電を実行する場合、第1のステップとしてアドレス電極とY電極間の放電を行い、これをトガリとして第2のステップであるY電極とX電極間の放電を引き起こし、X電極とY電極のMgO面に、維持放電を可能にする壁電荷を形成する。ここで、放電スリットと逆スリット間の放電開始電圧の差が小さい場合、第2ステップの放電が逆スリット側で発生し、放電スリットでの放電が生じず、正常な維持放電が行えないという問題が生じる。そのため、放電スリットと逆スリット間の放電開始電圧の差はできるだけ大きいことが望ましい。

【0016】しかも、パネルの高精細化が進むに従って、セルピッチはますます小さくなる傾向にあり、放電スリットと逆スリットのギャップの差を設けていくなくなっているため、上記の逆スリット側も放電が発生してしまうという問題が生じやすくなっている。上記のように、エージングは放電開始電圧を低下させると目的も有する。ここで、エージングによって放電スリット側の放電開始電圧のみが低下し、逆スリット側についてはエージング時に放電が行われず、高い放電開始電圧がそのまま維持されれば放電スリットと逆スリット間の放電開始電圧の差が拡大することになる。そのため、エージング時の放電は、放電スリットでのみ生じ、逆スリットでは生じないことが必要である。

【0017】一般的に、PDPの放電開始電圧は、ガス圧と電極間ギャップによって決定される（バッシェンの法則）といい特徴がある。よって、正規の放電スリット（例えば、X1電極とY1電極間）での放電も行われるが、印加電圧が高いため、一部のセルは逆スリット側でも放電が開始されることがある。例えば、エージング前には、放電スリットの放電開始電圧は2.20Vから2.50Vであり、逆スリットの放電開始電圧は2.90Vから3.20Vである。エージング後には、逆スリットの放電開始電圧はそのままであり、放電スリットの放電開始電圧のみが更に低下し、放電スリットと逆スリットの放電開始電圧の差は更に大きくなる。

【0018】しかし、エージング時は、放電開始電圧よりも高い電圧が連続的に印加されるため、逆スリット側も放電開始電圧を越えることがある。例えば、エージ

グ時に300Vの電圧のパルスを印加すると、逆スリットの一部で放電が生じる可能性がある。その結果、放電スリットの放電開始電圧も低下するが、同様に放電が行われた一部の逆スリット側の放電開始電圧も低下し、放電スリットとの放電開始電圧の差を広げることができないという問題を生じる。

【0019】また、図10に示したエージング時の駆動方法において、全面書き込みと全面自己消去を実現しセル内を壁電荷のない状態にする際、全面書き込み駆動時にアドレス電極とY電極間の放電が発生しにくく、アドレス電極とY電極間の放電の壁電荷の蓄積量が不十分であるため、アドレス電極とY電極間の積極的な自己消去放電は期待できない。このような問題を生じないようにするには、全面書き込み時のアドレス電極とY電極間の電位差を大きくすればよく、アドレス電極に高い電圧を印加すればよいが、アドレスドライバの耐圧から制約される。

【0020】更に、自己消去放電にはある程度の壁電荷が必要であるため、少量の壁電荷の場合、中和されずに残する可能性がある。放電スリットに近いアドレス電極側や、逆スリット側のY電極上では、特にこのような可能性が大きい。よって、アドレス電極とY電極間の放電を行う際に、アドレス電極とY電極間に残留した壁電荷の作用で、アドレス放電の第1ステップの放電が行えなかったり、強い放電になったり、自己消去を招いたり、隣接セルの放電を引き起こす等の弊害が発生する。

【0021】しかし、従来のエージング方法においては、アドレス電極には電位信号が印加されないオープン状態にあるため、アドレス電極と維持電極間の放電は行われない。そのため、アドレス電極とY電極間の放電開始電圧は変化せず、高いままである。本発明は、上記問題点に鑑みてなされたものであり、第1の目的は、放電が放電スリットでのみ生じ逆スリットでは生じないエージング方法を実現することであり、第2の目的はアドレス電極とY電極間の放電開始電圧を低下させるエージング方法を実現することである。

【0022】  
【課題を解決するための手段】本発明の第1の態様のプラズマディスプレイパネルの製造方法は、第1の基板に設けられ表示ライン毎に平行に配置された複数の第1の電極と第2の電極と、第1の基板又は第1の基板に對向する第2の基板に設けられ、複数の第1の電極と第2の電極が延びる方向に直角な方向に延び、互いに平行に配置された複数の第3の電極とを備え、第1の電極と第2の電極の組と第3の電極とで表示セルが規定されるプラズマディスプレイパネルの製造方法であって、プラズマディスプレイパネルの組み立て後に表示セルを規定する各組の第1の電極と第2の電極間にパルス信号を印加するエージングを行なうプラズマディスプレイパネルの製造方法において、エージング時に、隣接表示ラインの表示

セルを構成する隣接する第1の電極と第2の電極にパルス信号の同じ電位の信号を印加することを特徴とする。

隣接表示ラインの表示セルを構成する隣接する第1の電極と第2の電極は接続してエージング組とし、更に交互に配列された該エージング組を2つのグループにグループ化し、この2つのグループ間にパルス信号を印加するようとする。

【0023】更に、各グループに属する第1の電極と第2の電極を共通に接続する第1の共通接続パターンと第2の共通接続パターンを設けたプラズマディスプレイパネルを製造し、エージング時はこの第1及び第2の共通接続パターンを介して上記のようにパルス信号を印加し、エージング終了後には第1及び第2の共通接続パターンを取り除くようとする。

【0024】本発明の第1の態様のプラズマディスプレイパネルの製造方法では、放電スリットにのみ印加電圧による電位差が発生し、逆スリットを形成する隣接する表示ラインの第1の電極と第2の電極には同じ電位の信号が印加されるため同電位である。そのため、エージング時には、放電スリットでのみ放電が行われ、逆スリットで放電が行われることはない。従って、エージングで逆スリット側が活性化されず、放電開始電圧が低下することはない。よって、放電スリットと逆スリットの放電開始電圧の差を確実に広げができるため、維持放電は放電スリットでのみ生じ逆スリットでは生じなくなる。

【0025】しかも、各グループに属する第1の電極と第2の電極を共通に接続する第1の共通接続パターンと第2の共通接続パターンが設けられているため、エージング時に第1の電極と第2の電極に印加するパルス信号を発生するエージング装置への接続が容易に行える。また、エージング後に第1の共通接続パターンと第2の共通接続パターンは取り除かれるため、エージング時と表示装置として動作させる際の電極構成を簡単に変更できる。

【0026】本発明の第2の態様のプラズマディスプレイパネルの製造方法は、第1の基板に設けられ表示ライン毎に平行に配置された複数の第1の電極と第2の電極と、第1の基板又は第1の基板に對向する第2の基板に設けられ複数の第1の電極と第2の電極が延びる方向に直角な方向に延び、互いに平行に配置された複数の第3の電極とを備え、第1の電極と第2の電極とで表示セルが規定されるプラズマディスプレイパネルの組み立て後に表示セルを規定する各組の第1の電極と第2の電極間にパルス信号を印加するエージングを行なうアズマディスプレイパネルの製造方法において、エージング時に、複数の第3の電極には第1の電極又は第2の電極に印加するパルス信号と同相のパルス信号を印加することを特徴とする。

【0027】エージング時に、複数の第3の電極に印加

されるバルス信号の電圧は、第1の電極又は第2の電極に印加するバルス信号の電圧と同じであるか、それより小さい電圧とする。本発明の第2の態様のプラズマディスプレイパネルの製造方法によれば、エーリング時アドレス電極とY電極間に大きな電位差を持たせ、X電極とアドレス電極間の電位差を小さくするため、アドレス電極とX電極間の放電を行うことはなく、Y電極とアドレス電極間の放電が行はれる。その結果、X電極とY電極間に放電スリットが活性化されると共に、アドレス電極とY電極間の放電を行なう面が活性化される。更に、表示装置として動作させる際に、アドレス電極とY電極間の全面書き込み及び全面自己消去放電が確実に行われ、壁電荷が中和されるため、アドレス放電における放電ミスを回避できる。また、アドレス電極とY電極間の放電開始電圧を低くすことができるため、アドレス放電において低電圧での発電が可能になる。

【0028】更に、本発明の第2の態様のプラズマディスプレイパネルの製造方法によると、エーリング時アドレス電極とY電極間に大きな電位差を持たせるが、X電極とY電極間に印加される電圧ほど大きくなため、蛍光体がイオンによって損傷されることを押さえながらも、アドレス電極とY電極の放電面を活性化できる。

【0029】

【発明の実施の形態】図1は、本発明の第1実施例のエーリング方法を示す図であり、(1)はエーリング時のプラズマディスプレイパネル100のX電極X1、X2、…、XNと、Y電極Y1、Y2、…、YNのエーリング装置120との接続状態を示し、(2)はエーリング装置から出力されるバルス信号を示す図である。

【0030】図1の(1)に示すように、X電極X1、X2、…、XNと、Y電極Y2、Y4、…、Y(N-1)は、右側に引き出されて共通に接続された上でエーリング装置120のY側端子に接続され、X電極X2、X4、…、X(N-1)と、Y電極Y1、Y3、…、YNは、左側に引き出されて共通に接続された上でエーリング装置120のY側端子に接続されている。すなわち、偶数番目のX電極と奇数番目のY電極が共通にエーリング装置120のY側端子に接続されている。その上で、エーリング装置120から図1の(2)に示した従来のエーリング装置と同様の図1の(2)に示す信号が取出されて、各X電極とY電極に印加される。

【0031】上記のような接続でエーリング装置120からバルス信号を印加すると、放電歪を形成する維持電極(X電極とY電極の組)には電位差が生じるが、逆スリットを形成する維持電極には電位差が生ぜず、同電位となる。従って、エーリング時には放電スリットのみで放電が発生し、たとえエーリング装置120から高い電圧のバルス信号を出力しても、逆スリットでは放電を行うことはない。従って、エーリングによって放電スリットの放電開始電圧のみが低下し、逆スリットの放電開始電圧が低下することはないので、エーリング後の放電スリットと逆スリットの放電開始電圧の差は確実に大きくなる。

【0032】プラズマディスプレイパネル100は、表示装置として使用する場合には、図8に示すように、各X電極は共通に接続した上でX共通ドライバ104に接続する必要があり、各Y電極はそれぞれYスキャンドライバ102に接続する必要がある。しかし、第1実施例のエーリング方法を行う場合には、X電極とY電極を図10に示すようにエーリング装置に接続する必要があり、図8の接続とは異なる。そのため、エーリング時と、エーリング終了後表示装置に組み立てる時とでX電極とY電極の外部との接続を変更する必要がある。

【0033】通常X電極とY電極はそれぞれ4.80本程度あり、それらの外部との接続は(フレキシブルケーブル等)によって行われる。X共通ドライバ104とYスキャンドライバ102をプラズマディスプレイパネル100上に同時に形成するのは難しく、効率的でもないため、プラズマディスプレイパネル100のエーリング後、

20 プラズマディスプレイパネル100の上又はそれが載置される基板上にX共通ドライバ104とYスキャンドライバ102のICを固定した上で、ICとX電極及びY電極の電極パッドをボンディングワイヤ(フレキシブルケーブル等)で接続する。X電極及びY電極の接続が、エーリング時と表示装置に組み立てる時で異なる時には、エーリング用に別接続を行うのは、エーリングに要するコストを増加させるために好ましくない。第1実施例のエーリング方法を行うに適したプラズマディスプレイパネル100の形状及び製造工程を第2実施例に示す。

【0034】図2は、第2実施例のプラズマディスプレイパネル100の形状を示す図である。図2において、参照番号100は完成時のパネル部分であり、130aと130bはエーリング時のみ使用する共通接続部分であり、エーリング終了後は取り除かれる部分である。図2に示すように、パネル100の右端には各Y電極の電極パッド132bが左端には各Y電極の電極パッド132aが設けられている。X電極X1、X3、…、XNと、Y電極Y2、Y4、…、Y(N-1)は、右側に引き出されて共通接続部分130bの共通接続パターン131bに接続され、X電極X2、X4、…、X(N-1)と、Y電極Y1、Y3、…、YNは、右側に引き出されて共通接続部分130aの共通接続パターン131aに接続されている。

【0035】エーリング時には、図2に示すように、エーリング装置120のX側接続端子を共通接続パターン131bに接続し、Y側接続端子を共通接続パターン131aに接続して、エーリング装置120から図1の(2)に示すバルス信号を印加する。エーリング終了後

には、共通接続部分130aと130bを切断し、その後表示装置を組み立てる工程で、電極バッド132aをYスキャンドライバ102に接続し、電極バッド132bをX共通ドライバ104に接続する。

【0036】図3は、本発明の第3実施例のエージング方法を示す図である。図3に示すように、X電極X1、X2、…、XNと、第3の電極であるアドレス電極A1、A2、…、Amは共通に接続された上でエージング装置120のX側端子に接続され、Y電極Y1、Y2、…、YNは共通に接続された上でエージング装置120のY側端子に接続されている。エージング装置120からは、図1の(2)に示したのと同じパルス信号がが出力される。従って、X電極とY電極の間では図10に示した従来例と同じように放電が行われる。第3実施例では、更に、アドレス電極A1、A2、…、AmにX電極X1、X2、…、XNに印加されるのと同じ位相で同じ電位のパルス信号が印加されるため、アドレス電極とY電極の間でも放電が行われる。アドレス電極とX電極には同じ信号が印加されるため、放電は発生しない。すなわち、第3実施例のエージングでは、Y電極とX電極間及びY電極とアドレス電極間で放電が生じ、X電極とアドレス電極間では放電が起きない。これにより、X電極とY電極間の放電スリットが活性化されると共に、アドレス電極とY電極間の放電を行う箇が活性化される。

【0037】これにより、表示装置として動作させる際に、アドレス電極とY電極間の全面書き込み及び全面自己消去放電が確実に行われ、量電荷が中和されるため、アドレス放電における放電ミスを回避できる。また、アドレス電極とY電極間の放電開始電圧を低くすることができるため、アドレス放電において低電圧での應答が可能になる。

【0038】しかし、第3実施例ではアドレス電極とY電極間で強力な放電を繰り返すため、アドレス電極間に形成される蛍光体を損傷する可能性があるという問題がある。第4実施例では、この問題が生じないようする。図4は、本発明の第4実施例のエージング方法を示す図である。図4の(1)に示すように、第4実施例のエージング方法では、X電極X1、X2、…、XNは共通に接続された上でエージング装置120のY側端子に接続され、Y電極Y1、Y2、…、YNは共通に接続された上でエージング装置120のY側端子に接続され、アドレス電極A1、A2、…、Amは共通に接続された上でエージング装置120のA側端子に接続される。エージング装置120からは、図3の(2)に示したパルス信号がが出力される。従って、X電極とY電極の間では第3実施例と同じように放電が行われる。アドレス電極A1、A2、…、AmとY電極Y1、Y2、…、YNの間には第3実施例よりも小さい電圧が印加されることになり、放電は行われるが放電の強度は、第3実施例に比べて小さくなり、蛍光体を損傷することが少なくなる。ま

た、アドレス電極A1、A2、…、AmとX電極X1、X2、…、XNの間の電圧は、放電が生じない大きさである。例えば、図4の(2)において、VHは300Vであり、アドレス電極に与える電圧は、100Vと200Vの間でX電極に印加する信号と同じ位相で変化する。従って、アドレス電極とY電極の間の電圧は常に200Vであり、アドレス電極とX電極の間の電圧は常に100Vである。

【0039】以上説明した第1実施例から第4実施例のエージング方法でエージングされたプラズマディスプレイパネルは、従来のパネルと同様に組み立てられ、図8に示すような構成を有するプラズマディスプレイ装置になる。

#### 【0040】

【発明の効果】以上説明したように、本発明によれば、エージングにより放電スリットの放電開始電圧を低くさせ逆スリット側の放電開始電圧は高いままを維持するため、逆スリット側での放電が生じにくく、正確な表示が行えるプラズマディスプレイ装置が実現できる。また、アドレス動作に必要な電圧を低減することができるため、低消費電力の装置を実現できる。更に、エージング時の作業を簡素化できるため、製造コストを低減できる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例のエージング方法を示す図である。

【図2】本発明の第2実施例のエージング方法を示す図である。

【図3】本発明の第3実施例のエージング方法を示す図である。

【図4】本発明の第4実施例のエージング方法を示す図である。

【図5】3電極・面放電方式カラーブラズマディスプレイの概略平面図である。

【図6】3電極・面放電方式カラーブラズマディスプレイの概略断面図である。

【図7】3電極・面放電方式カラーブラズマディスプレイのもう一方の概略断面図である。

【図8】3電極・AC型プラズマディスプレイを駆動するための周辺回路のブロック構成図である。

【図9】プラズマディスプレイ装置の駆動波形を示すタイムチャートである。

【図10】従来のエージング方法と駆動波形を示す図である。

#### 【符号の説明】

100…プラズマディスプレイパネル

102…Yスキャンドライバ

103…Yドライバ

104…Xドライバ

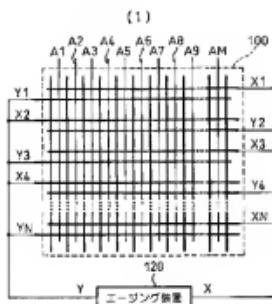
105…アドレスドライバ

106…制御回路

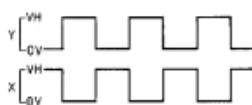
107…表示データ制御部

【図1】

第1実施例のエーリング方法

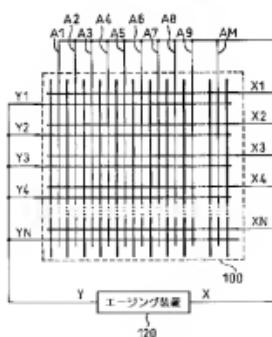


(2)



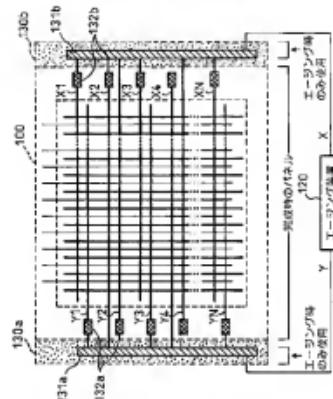
【図3】

第3実施例のエーリング方法



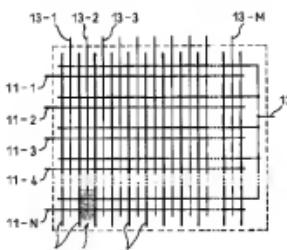
【図2】

第2実施例のエーリング時の基板構成



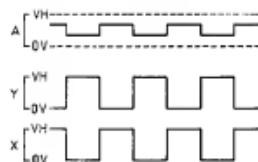
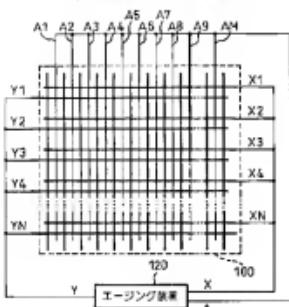
【図5】

3電極・面放電・A-C型PDPの構造平面図



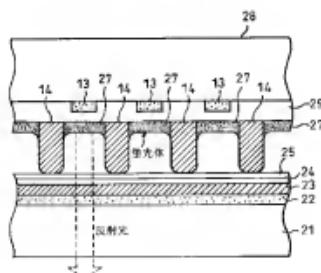
【图4】

#### 第4実験例のワーキング方法



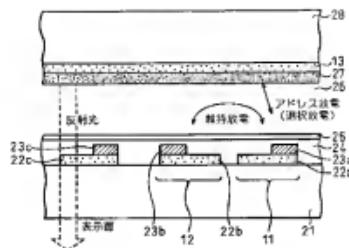
[图7]

3. 亂世：深故黨：A. C. 與 B. D. 是內鬥的推動者。



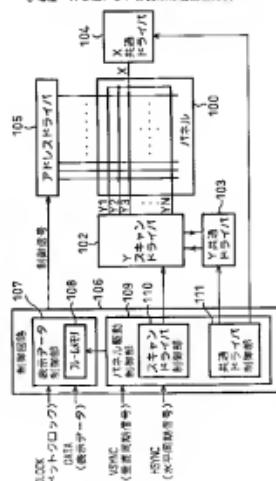
【図6】

### 3電極・面放電・AC型PDPの電路断面図

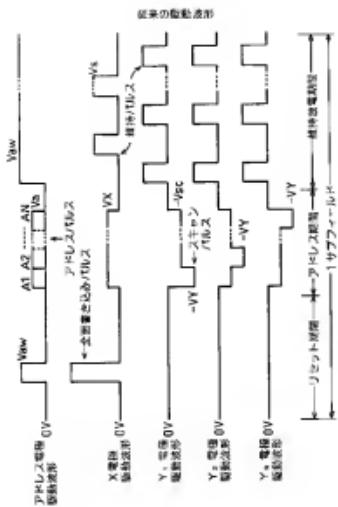


188

### 3章：AC製PDPの構造の解説と例



【図9】



[图10]

